# Z80Aマシン語コード表

MSXのCPU・Z80Aのマシン語コードをまとめています。各マシン語命令の動作を 知りたいときは命令動作表、コードを知りたいときやコードから命令を知りたいときは、 命令コード表を使います。

## ●命令動作表の使い方

命令の種類ごとに分類しています。ニーモニック欄は命 令の名前で、アセンブラを使うときに使います。動作内容 は、命令の動作を簡潔に表しています。←は、右側の内容 を左側へ代入することを示します。またカッコでくくられ たものは、くくられたレジスタなどで示されるメモリの内 容を意味します。(HL) とあれば、HLレジスタペアの内 容で示されるアドレスのメモリ内容になります。ただし、 入出力命令の(C)と(n)は、対応する入出力ポートの 番号を意味します。 PCH などの表記は、その16ビットレ ジスタの上位8ビット (PCL は下位8ビット) の内容を意 味します。フラグ動作の表記は次の通りです。●は変化な し、0はリセット、1はセット、1は実行結果により変化、 ×は不定(無意味)。その他IFF は、割り込みフリップフロ

IYı.←(nn)

(nn)←L

LD (nn), dd (nn+1)←dd<sub>H</sub>

(nn+1)←H

LD (nn), HL

リティ/オーバーフローフラグとして動作することを意味 しています。長さの欄は、オペランドを含む命令の長さを 示しています。MサイクルとTサイクルは、それぞれ命令 実行に要するマシンサイクル数、クロックサイクル数です。 ただし、MSXではM1サイクルに1ウエイト(1Tだけ 長くなる)、また1/0ポートの読み出し/書き込みにもウエ イトがかかりますから注意してください。

## ●命令コード表の使い方

各命令のコードを左側に記しています。コード中のnと dは、命令に続いて(または命令中に)与える1バイトの データを意味しています。また nn<sub>H</sub> は、16ビットのデータ の内の上位8ビット(nnt は下位)を示します。eは相対 分岐命令でのアドレス位置を示す1バイトのデータです。 

	BC=0までくり返す				
LDD	(DE)←(HL), DE	:.00	2	4	16
	←DE-1, HL←HL	1			
	-1, BC←BC-1		- 1	77.1	3
LDDR	(DE)←(HL), DE		2	5	21
	←DE-1, HL←HL			4	16
	-1, BC←BC-1			4	4
	BC=0までくり返す				
CPI	A-(HL), HL←HL	• 1 1 1 1 1	2	4	16
	+ 1, BC←BC-1	20			
				(5)	(5)
CPIR	A-(HL), HL←HL	• 1 1 1 1 1	2	5	21
	+ 1, BC←BC-1	20		4	16
	A=(HL), #taBC			6	6
	= 0までくり返す				
CPD	A-(HL), HL←HL	• 1 1 1 1 1	2	4	16
	-1, BC←BC-1	20			
	1300 1300 1300			(5)	(5)
CPDR	A-(HL), HL←HL	•11111	2	5	21
	-1, BC←BC-1	20		4	16
	A=(HL), #tc#BC			6	6
	= 0までくり返す			1	

①BC=0となったとき、P/Vフラグが0、それ以外で1。②A= (HL)となったとき、Zフラグが1、それ以外で0。③BC + 0のと きのサイクル教。 (A) B C = (A) のかきのサイクル教。 (B) B C (B) O で、 A  $\pm$  (HL) のときのサイクル数。⑥BC=0またはA=(HL)のと きのサイクル数。

	その他IFF は、割り フラグに読み出され			はー128~127の数値と なお、ED70のコード			20717700	CPU 制御命	<b>\$</b>	
research and the second second	とある場合、このフ		を与える入力命	the second secon				विवर्षम्पराया ८ । ८	В	
		A STATE OF COLUMN	71		1 1	1 1	ニーモニック	動作内容		長さ
i i	令動作	表	LD (nn), IX	(nn)←ddL (nn+1)←IXH (nn)←IYL	•••••	4 6	DAA	8 ビートデータの加減 算後に実行することで	11P1•1	1
	8ビット移動台	合会	LD (nn), IY	(nn+1)←IXH	•••••	4 6	20 CPL	BCDに変換する A←A		1
	0 - 2 1 122/	10-10-	10.00.11	(nn)←IYL		1 1	NEC	A←0 - A	7. 2. 2. 2. 2. 2. 2. 2. 2. 2. 2. 2. 2. 2.	2
ニーモニック	動作内容	フラグ動作 長 M	LD SP, HL	SP←HL		1 1 2 2	COL	CY← <del>CY</del>	: • • • • ×	1
	40	CZP/VSNH &	LU SF, IX	SP←IX SP←IY		2 2	COL	CY←1	1 0 0	1
		121	LD SP, IY			1 3	NOD	ノーオペレーション		1
Dr,r'	r←r'	••••• 1 1	PUSH qq	(SP-2)←qq <sub>L</sub>	*****	1 3	HALT	CPU動作停止		1
Dr, n	r←n	••••• 2 2	DUIGHT 134	(SP-1)←qq <sub>H</sub>			DI DI	割り込み禁止(IFF←0)		1
D r, (HL)	r←(HL)	• • • • • 1 2	PUSH IX	(SP-2)←IXL	•••••	2 4	El	割り込み許可(IFF←1)		1
D r, (IX+d)		••••• 3 5 1		(SP-1)←IXH			111.0	割り込みモードの設定		2
D r, (IY+d)	$r \leftarrow (IY + d)$	••••• 3 5 1	9 PUSH IY	(SP-2)←IYL	•••••	2 4	15 IM 1	割り込みモード1設定		2
D (HL), r	(HL)←r	••••• 1 2		(SP-1)←IYH			114.0	割り込みモード2設定		2
D (IX+d), r	(IX+d)←r	••••• 3 5 1		qq <sub>L</sub> ←(SP)	•••••	1 3	10			
D (IY+d),r	(IY+d)←r	••••• 3 5 1		$qq_H \leftarrow (SP+1)$						
D (HL), n	(HL)←n	••••• 2 3 1	POP IX	IXL←(SP)	•••••	2 4	14	8ビット演算命	令	
D(IX+d), n	(IX+d)←n	• • • • • 4 5 1		$IX_H \leftarrow (SP+1)$				The second secon		
D(IY+d), n	(IY+d)←n	4 5 1	9 POP IY	IYL←(SP)	•••••	2 4	14 ニーモニック	動作内容	フラグ動作	長
D A, (BC)	A←(BC)	••••• 1 2	7	$IY_{H} \leftarrow (SP+1)$					CZP/VSNH	à
D A, (DE)	A←(DE)	• • • • • 1 2	dd : BC, DE, HL	, SP, gg: BC, DE,	UI AE	-				
D A, (nn)	A←(nn)	• • • • • 3 4 1	3 au . BC, DE, HL		ric, Ar		ADD A, r	A←A+r	tivtet	1
D (BC), A	(BC)←A	• • • • • 1 2	7	交換命令			ADD A, n	A←A+n	11 V 1 0 1	2
D (DE), A	(DE)←A	1 2	7	allor make			ADD A, (HL	) A←A+(HL)	tiviet	1
D (nn), A	(nn)←A	3 4 1	3 ニーモニック	動作内容		長M	ADD A, (IX +	d) A←A+(IX+d)	11 V 1 0 1	3
D A, I	A←I	• 1 FF 1 0 0 2 2 1	9		CZPNSNH	à M	ADD A, (IY+	d) A←A+(IY+d)	ttvtøt	3
D A, R	A←R	• \$IFF \$ 0 0 2 2					ADC A, r	$A \leftarrow A + r + CY$	11 v 1 0 1	1
D 1, A	I←A		EX DE, HL	DE↔HL		1 1		A←A+n+CY	ttvtet	2
D R. A	R←A	2 2		AF↔ AF'		1 1			ttvtet	1
			EXX	BC↔BC' DE↔DE'		1 1			0.000	3
r': B, C, D, E, I	H, L, A			HL↔HL'			ADC A, (IY+	d) A←A+ (IY+d)+CY		3
	16ビット移動命	令	EX (SP), HL	L↔(SP)	•••••	1 5	1 000 .	A←A−r	4-10-37 7-10-1	1
				H ↔ (SP+1)			SUB n	A←A−n		2 3
ニーモニック	動作内容	フラグ動作 長 M	EX (SP), IX	IXL↔(SP)	•••••	2 6	000 (112)	A←A−(HL)		1 3
	2-/6	CZP/VSNH & M		$IX_H \leftrightarrow (SP+1)$		431	SUB (IX+		1 1	3
			EX (SP), IY	IYL↔(SP)	•••••	2 6	000 (111			3
D dd, nn	dd←nn	••••• 3 3 1	0	IYH↔(SP+1)			SBC A, r	A←A-r-CY		1
D IX, nn	IX←nn	4 4 1	4 AF などは裏レジス	ウキーナ		-	SBC A, n	A←A-n-CY	\$ \$ V \$ 1 \$	2
D IY, nn	IY←nn	4 4 1	4 4 なこは表レンス	フでルタ。			SBC A, (HL	$A \leftarrow A - (HY) - CY$	\$ \$ V \$ 1 \$	1
D HL, (nn)	H←(nn+1)	••••• 3 5 1	6	ブロック転送命	令		SBC A, (IX+	d) A←A− (IX+d)−CY	11V111	3
	L←(nn)					-	SBC A, (IY-	d) A←A - (IY+d)-CY	\$ \$ V \$ 1 \$	3
D dd, (nn)	dd <sub>H</sub> ←(nn+1)	4 6 2	0 ニーモニック	動作内容	フラグ動作	長M	AND r	A←A∧r	0 1 P 1 0 1	1
201 (1111)	dd <sub>L</sub> ←(nn)				CZPNSNH	à M	AND n	A←A∧n	0 1 P 1 0 1	2
D IX, (nn)	IXH←(nn+1)	4 6 2	0			-	AND (HL)	A←A∧(HL)	0 1 P 1 0 1	1 3
	IXL←(nn)		LDI	(DE)←(HL), DE		2 4	16 AND (1X+	$A \leftarrow A \wedge (IX + d)$	0 1 P 1 0 1	3
D 1Y, (nn)	IYH←(nn+1)	4 6 2	0	←DE+1, HL←HL	. ①		AND (IY+	) A←A∧ (IY+d)	01P101	3
D 11, (1111)	17H- (IIII+1)	102		+1 BC←BC-1		3		Δ←Δ\/ r	atptaa	

(DE)←(HL), DE | •• 0 • 0 0 2 5 21 OR n

+1, BC←BC-1

←DE+1, HL←HL

+1, BC←BC-1

3 3 OR r

A←A∨r

A←A∨n

0 1 P 1 0 0 1 1 4

0 1 P 1 0 0 2 2 7

1	1	1	7 1	0		11	T			4		10 TV			- 1
OR (1Y+d)	A←AV(IY+d)	01P100	3	5 19	RRC (HL)		119100	2	4 15		(SP-1)←PCH	-			
XOR r	A←A⊕r	01P100	1	1 4	RRC (IX+d)	7 -0 0	11P100	4	6 23		PC←nn				
XOR n	A←A⊕n	0 1 P 1 0 0			RRC (IY+d)	J	11P100		6 23	CALL NZ, nn	Z=045CALL nn	•••••	1	3	
XOR (HL)	A←A⊕(HL)	01P100		2 7	RR r	1	11P100		2 8		と同じ			5	99
XOR (IX+d)	A←A⊕(IX+d)	01P100		5 19	1000	7 0 0	11P100		4 15	CALL Z, nn	Z=1&6CALL nn	•••••		3	- 1
XOR (IY+d)	A←A⊕(IY+d) A-r	0 1 P 1 0 0 1 1 V 1 1 1		5 19 1 4	RR (IX+d)	17 - 01 - (3)	11P100		6 23	CALL NC	と同じ C- Otto CALL			5	
CP n	A-n	1 1 V 1 1 1		2 7	RR (IY+d) SLA r	1	11P100		2 8	CALL NC, nn	C= ØならCALL nn と同じ		1	5	22
CP (HL)	A-(HL)	11V111		2 7	SLA (HL)		11P100		4 15	CALL C, nn	C=1&SCALL nn			3	
CP (IX+d)	A-(IX+d)	1 1 V 1 1 1		5 19	SLA (IX+d)	CY 7 - 0 - 0	11P100		6 23	0.122	と同じ			5	
CP (IY+d)	A-(IY+d)	1:V:1:	3	5 19	SLA (IY+d)	J	11P100	4	6 23	CALL PO, nn	P/V=046CALL nn		3	3	10
INC r	r ← r + 1	• : v : 0 :	1	1 4	SRA r	)	11P100	2	2 8		と同じ		1	5	17
INC (HL)	(HL)←(HL)+1	• 1 V 1 0 1		3 11	SRA (HL)	7 - 0 - 64	11P100		4 15	CALL PE, nn	P/V=1&6CALL nn	•••••		3	
INC (IX+d)	(IX+d) ← (IX+	• 1 v 1 0 1	3	6 23	SRA (IX+d)		11P100	107	6 23	Anna Caraca	と同じ		1	5	
INC (IV L d)	d)+1 (IY+d)←(IY+				SRA (IY+d)		11P100		6 23	CALL P, nn	S=0&6CALL nn		100	3	
INC (IY+d)	(1+d)←(1+ d)+1	• : v : 0 :	3	6 23	SRL r SRL (HL)		11P100 11P100			CALL M, nn	と同じ S=1ならCALL nn			5	
DEC r	r←r-1	• 1 V 1 1 1	1	1 4	SRL (IX+d)	0-7-0-01	11P100		6 23	CALL IVI, IIII	と同じ			5	
DEC (HL)	(HL)←(HL)-1	• : V : 1 :			SRL (IY+d)		11P100			RET	PCL←(SP)		1	3	632.1
DEC (IX+d)	(IX+d) ← (IX+	• : V : 1 :	3	6 23	200		10/10/10	Ш		100	PCH←(SP+1)				
	d)-1				r: B, C, D, E, H, L	., A				RET NZ	Z=0ならRETと同じ		1	1	5
DEC (IY+d)	(IY+d) ← (IY+	• \$ V \$ 1 \$	3	6 23		ビット操作命	令			-			100	3	
-	d)-1						*			RET Z	Z=1ならRETと同じ	•••••		1	
↑はAND演算、	/ はOR演算、⊕はXO	R演算を表す。			ニーモニック	動作内容	フラグ動作	長	мт	DET NO	C- Ot - DET - BI			3	5
	Annual Control of the						CZPVSNH	đ		RET NC	C= ØならRETと同じ		100	3	
	16ビット演算命	110			BIT b, r	Z←rのbit b	•1×× 01	2	2 8	RET C	C=1ならRETと同じ		1		5
ニーモニック	動作内容	フラグ動作	長		BIT b, (HL)	Z←(HL)のbit b			3 12			-	0	3	
	-	CZPVSNH	1000	MT	BIT b, (IX	Z← (IX+ d)	•1××01			RET PO	P/V=0ならRETと同じ		1		5
			-	+	+ d)	øbit b							0	3	
ADD HL, ss	HL←HL+ss	1 • • • 0 ×		3 11	BIT b, (IY	Z←(IY+d)	• : ×× 0 1	4	5 20	RET PE	P/V=1ならRETと同じ	•••••	1	100	5
ADC HL, ss	HL←HL+ss+CY	11V10×		4 15	+d)	o bit b						10.00	0	3	201
SBC HL, ss	HL←HL-ss-CY	1 1 V 1 1 ×		4 15	SET b, r	robit b←1	•••••		2 '8	RET P	S= ØならRETと同じ	•••••	1		5
ADD IX, pp	IX←IX+pp	: • • • 0 ×		4 15	SET b, (HL)	(HL) ø bit b←1	•••••		4 15	DET M	C-1 to CDET VE II			3 :	
ADD 1Y, rr		1 • • • 0 ×		4 15	SET b, (IX	(IX+d)obit	•••••	4	6 23	RET M	S=1ならRETと同じ			3	8
INC IX	SS←SS+1   IX←IX+1			1 6 2 10	+d) SET b, (IY	b←1 (IY+d)のbit		4	6 23	RETI	割り込みルーチンから			4	
INC I Y				2 10	+ d)	b←1	******	1"	0 23	KLII	のRET命令		1		"
DEC ss	ss←ss-1			1 6	RES b, r	robit b←0		2	2 8	RETN	ノンマスカブル割り込		2	4	14
DEC IX	IX← X-1			2 10	RES b, (HL)	(HL) obit b←0			4 15		みからのRET命令				
DEC IY	IY←IY-1		2	2 10	RES b, (IX	(IX+d) obit		4	6 23	RST p	(SP-2)←PCL		1	3	11
								1	-						
SS: BC DE UI S	D pp. DC DE IV G	P.D.			+ d)	b←0					(SP-1)←PCH				
	P, pp: BC, DE, IX, S	SP,			+ d) RES b, (IY	b←0 (IY+d)のbit	•••••				PCL←p, PCH←0				
	Р				+ d)	b←0	•••••				PCL←p, PCH←0 titl pは00H,				
					+ d) RES b, (IY + d)	b←0 (IY+d)のbit		4			PCL←p, PCH←0 tetel pl±00H, 08H, 10H, 18H,				
	Р		長		+ d) RES b, (IY + d)	b←0 (IY+d)のbit b←0 转号(0~7), r:B,(		4			PCL←p, PCH←0 titl pは00H,				
rr : BC, DE, IY, S	ビット循環命	令	長き	мт	+ d) RES b, (IY + d)	b←0 (IY+d) obit b←0		4		ON 1440010	PCL←p, PCH←0 titl pit 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	<b>集終</b> 长的 守!	+-		
rr : BC, DE, IY, S	ビット循環命	<b>今</b> フラグ動作			+ d) RES b, (IY + d)	b←0 (IY+d)のbit b←0 转号(0~7), r:B,(	C, D, E, H, L, フラグ動作	A 長	6 23		PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H,	、条件が成立し	たと		
rr : BC, DE, IY, S	ビット循環命	<b>今</b> フラグ動作			+ d) RES b, (IY + d) b: ビット	b←0 (IY+d)のbit b←0 特号(0~7), r:B,0	C, D, E, H, L,	A 長		①M、Tサイクルは 側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し	たと		
rr : BC, DE, IY, S	P ビット循環命: 動作内容	<b>今</b> フラグ動作	ð	мт	+ d) RES b, (1Y + d) b: ピット#	b←0 (IY+d)のbit b←0 等(0~7), r:B,( 分岐命令	C, D, E, H, L, フラグ動作	4 A 長さ	6 23 M T		PCL←p, PCH←0 titl pit 00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し	,te		
rr: BC, DE, IY, S	ビット循環命	令 フラグ動作 C Z PN S N H	ð	мт	+ d) RES b, (IY + d) b: ビット和 ニーモニック JP nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( 分岐命令 動作内容	C, D, E, H, L, フラグ動作	4 A 表 さ	6 23 M T 3 10		PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	、条件が成立し フラグ動作	長	z a ·	7
rr: BC, DE, IY, S	P ビット循環命: 動作内容	令 フラグ動作 C Z PN S N H	ð	мт	+d) RES b, (IY +d) b: ピット番 ニーモニック JP nn JP NZ, nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( 分岐命令 動作内容 PC←nn Z=0ならPC←nn	C, D, E, H, L, フラグ動作	4 長さ 3 3	6 23 M T	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側			* 5 ع	7
rr: BC, DE, IY, S ニーモニック RLCA	ア ビット循環命 動作内容	令 フラグ動作 C Z PN S N H	ð	M T	+ d) RES b, (IY + d) b: ビット和 ニーモニック JP nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( 分岐命令 動作内容	C, D, E, H, L, フラグ動作	4 長さ 3 3 3	6 23 M T 3 10 3 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容	フラグ動作 C ZPN S N H	長さ	۲a -	F
rr: BC, DE, IY, S ニーモニック	P ビット循環命: 動作内容	令 フラグ動作 C Z PN S N H	ð	мт	+ d) RES b, (1Y + d) b: ピット和 ニーモニック JP nn JP NZ, nn JP Z, nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,0 <b>分岐命令</b> 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn	フラグ動作 C Z P/V S N H	4 A 表 さ 3 3 3 3	6 23 M T 3 10 3 10 3 10	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 入出力命令 動作内容	フラグ動作 C ZP/V S N H	長さ 2	M 3 1	T T
rr: BC, DE, IY, S ニーモニック RLCA	ア ビット循環命 動作内容	令 フラグ動作 C Z PN S N H	ð	M T	+d) RES b, (IY +d) b: ビット種 ニーモニック  JP nn JP NZ, nn JP NC, nn JP C, nn JP C, nn JP PO, nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( <b>分岐命令</b> 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn	フラグ動作 C Z PWS N H	A 長さ 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10	側の値になる。	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C ZPN S N H	長さ 2	M 3 1	T T
rr: BC, DE, IY, S ニーモニック RLCA	ア ビット循環命 動作内容	令 フラグ動作 C Z PN S N H	ð	M T	+ d) RES b, (1Y + d) b: ピット コーモニック  JP nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP PE, nn	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn	フラグ動作 C Z PWS N H	4 A A B さ 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 3	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコ	フラグ動作 C Z PN S N H	長さ 2	M 3 1	T T
rr: BC, DE, IY, S ニーモニック RLCA	P ビット循環命・ 動作内容	令 フラグ動作 C Z PN S N H	1	M T 1 4	+d) RES b, (1Y +d) b: ピット コーモニック  JP nn JP NZ, nn JP Z, nn JP NC, nn JP PO, nn JP PO, nn JP PE, nn JP P, nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( <b>分岐命令</b> 動作内容 PC←nn Z=0ならPC←nn C=0ならPC←nn C=1ならPC←nn C=1ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=0ならPC←nn	フラグ動作 C Z PWS N H	4 A A る 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 3	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ のみ影響を与えるコ ードがある	フラグ動作 C ZPVS N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2	M 3 1 3 1	T 111
rr: BC, DE, IY, S ニーモニック RLCA	ア ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1	M T 1 4	+d) RES b, (1Y +d) b: ピット和  ニーモニック  JP nn JP NZ, nn JP Z, nn JP Z, nn JP PQ, nn JP PE, nn JP PE, nn JP PM, nn	b←0 (IY+d)のbit b←0 時(0~7), r:B,( <b>分岐命令</b> 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=1ならPC←nn P/=0ならPC←nn P/=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=1ならPC←nn	フラグ動作 C Z PWS N H	4 A A る 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 3	側の値になる。 ニーモニック IN A, n	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコ	フラグ動作 C ZPVS N H ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2	M 3 1 3 1	T 111
rr: BC, DE, IY, S ニーモニック RLCA	P ビット循環命・ 動作内容	フラグ動作 C Z P/V S N H	1	M T 1 4	+d) RES b, (IY +d) b: ビット和  ニーモニック  JP nn JP NZ, nn JP Z, nn JP Z, nn JP PC, nn JP PC, nn JP PE, nn JP PR, nn JP M, nn JP M, nn JP (HL)	b←0 (IY+d)のbit b←0 時(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn C=1ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL	フラグ動作 C Z PWS N H	4 A 表 さ 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 1 4	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z PV S N H ・1 P 1 0 0 ①	長 さ 2 2 2	M 3 1 3 1 5 2	T 11122
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命・ 動作内容	フラグ動作 C Z P N S N H	1 1 1	M T 1 4	+ d) RES b, (1Y + d) b: ピット **  ニーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP P, nn JP M, nn JP (IX)	b←0 (IY+d)のbit b←0 時(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←HL PC←IX	フラグ動作 C Z PWS N H	4 A 長さ 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 2	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 1 4 4 2 8	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B -1, HL←HL+1 (HL)←(C), B←B -1, HL←HL+1	フラグ動作 C Z PV S N H ・1 P 1 0 0 ①	長 さ 2 2 2	M 3 1 3 1 4 1	T 11122
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命・ 動作内容	フラグ動作 C Z P/V S N H	1 1 1	M T 1 4	+d) RES b, (IY +d) b: ビット和  ニーモニック  JP nn JP NZ, nn JP Z, nn JP Z, nn JP PC, nn JP PC, nn JP PE, nn JP PR, nn JP M, nn JP M, nn JP (HL)	b←0 (IY+d)のbit b←0 時(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn C=1ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL	フラグ動作 C Z PWS N H	4 A A る 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 2	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 1 4	側の値になる。 ニーモニック IN A, n IN r, (C) INI	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z P V S N H  ・ C Z P V S N H  ・ 1 P 1 0 0  ・ 1 × × 1 ×  ・ 1 × × 1 ×	長さ 2 2 2 2 ②	M 3 1 3 1 5 2 4 1	T T 111 112 116 116 116 116 116 116 116 116
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命・ 動作内容	フラグ動作 C Z P N S N H	1 1 1	M T 1 4	+ d) RES b, (1Y + d) b: ピット和  ニーモニック  JP nn JP NZ, nn JP NC, nn JP NC, nn JP PC, nn J	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn PV=0ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX	フラグ動作 C Z PWS N H	4 A 表さ 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 3 2	M T 3 10 3 10 3 10 3 10 3 10 3 10 1 4 4 2 8 2 8	側の値になる。 ニーモニック IN A, n IN r, (C)	PCL←p, PCH←0 ただしpは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B -1, HL←HL+1 (HL)←(C), B←B -1, HL←HL+1 B=0までくり返す (HL)←(C), B←B	フラグ動作 C Z P V S N H  ・ C Z P V S N H  ・ 1 P 1 0 0  ・ 1 × × 1 ×  ・ 1 × × 1 ×	長さ 2 2 2 2 ②	M 3 1 3 1 5 2 4 1	T T 111 112 116 116 116 116 116 116 116 116
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命・ 動作内容	フラグ動作 C Z P N S N H	1 1 1	M T 1 4	+d) RES b, (1Y +d) b: ビット  □ -モニック  JP nn JP NZ, nn JP Z, nn JP C, nn JP C, nn JP PC, nn	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=1ならPC←nn P/V=0ならPC←nn P/V=1ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←IX PC←PC+e	フラグ動作 C Z PWS N H	4 長き 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←p, PCH←0 ただしpはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 B=0までくり返す (HL)←(C), B←B ー1, HL←HL+1	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 4 1	T 11122
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P N S N H	1 1 1 1 1	M T 1 4 1 4 1 4	+d) RES b, (1Y +d) b: ビット  □ -モニック  JP nn JP NZ, nn JP Z, nn JP C, nn JP C, nn JP PC, nn	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn PV=0ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn S=1ならPC←nn Z=1ならPC←nn C=1ならPC←nn S=1ならPC←nn C=1ならPC←nn S=1ならPC←nn C=1ならPC←nn	フラグ動作 C Z PWS N H	4 長き 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 11 4 2 8 3 12 2 7 3 12 2 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B -1, HL←HL+1 B=0までくり返す (HL)←(C), B←B -1, HL←HL+1 HL→HL-1 (HL)←(C), B←B	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 4 1 5 2 2	T 111 122 1166 166 166 166 171
rr: BC, DE, IY, S ニーモニック RLCA RLA	P ビット循環命・ 動作内容	フラグ動作 C Z P/V S N H	1 1 1 1 1	M T 1 4 1 4 1 4	+d) RES b, (1Y +d) b: ビット  □ -モニック  JP nn JP NZ, nn JP NZ, nn JP C, nn JP C, nn JP PC, nn JP HL) JP (HL) JP (IX) JR (IX) JR (IX) JR (IX) JR (IX) JR (IX) JR (IX)	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 Down PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn PV=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e Z=1ならPC←PC	フラグ動作 C Z PWS N H	4 A B B B B B B B B B B B B B B B B B B	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 3 10	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B −1, HL←HL+1 (HL)←(C), B←B −1, HL←HL+1 B=0までくり返す (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 4 1	T 111 122 1166 166 166 166 171
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1 1 1	M T 1 4 1 4 1 4	+ d) RES b, (1Y + d) b: ピット3  ニーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1X) JR (1X)	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=1ならPC←nn P/=0ならPC←nn P/=1ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC	フラグ動作 C Z PWS N H	4 長き 3 3 3 3 3 3 3 1 2 2 2 2 ① 2 ① 2	M T 3 10 3 10 3 10 3 10 3 10 1 4 2 8 2 8 3 12 2 7 3 12 2 7	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 4 1 5 2 4 1 1	T 11122 166 166 166 166 166 166 166 166 1
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P N S N H	1 1 1 2 :	M T 1 4 1 4 1 4 5 18	+ d) RES b, (1Y + d) b: ピット コーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1Y) JR e JR NZ, e JR NC, e	b←0 (IY+d)のbit b←0 時(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn P/=0ならPC←nn P/=0ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IY PC←PC+e Z=0ならPC←PC +e Z=1ならPC←PC +e C=0ならPC←PC +e	フラグ動作 C Z PWS N H	4 A 3 3 3 3 3 3 3 3 3 2 2 2 2 0 0 2 0 0 2	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 1 1 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12	側の値になる。 ニーモニック IN A, n IN r, (C) INI INIR	PCL←p, PCH←0 ただし pは00H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B −1, HL←HL+1 (HL)←(C), B←B −1, HL←HL+1 B=0までくり返す (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1 (HL)←(C), B←B −1, HL←HL−1	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 4 1 5 2 2	T 111 122 146 146 146 146 146 146 146 146 146 146
rr: BC, DE, IY, S ニーモニック RLCA RLA RRCA	P ビット循環命 動作内容	フラグ動作 C Z P/V S N H	1 1 1 2 :	M T 1 4 1 4 1 4 5 18	+d) RES b, (1Y +d) b: ビット  □ -モニック  JP nn JP NZ, nn JP NZ, nn JP C, nn JP C, nn JP PC, nn JP HL) JP (HL) JP (IX) JR (IX) JR (IX) JR (IX) JR (IX) JR (IX) JR (IX)	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0  等(0~7), r:B,0 <b>分岐命令</b> 動作内容  PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn P/V=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IY PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC	フラグ動作 C Z PWS N H	4 A 3 3 3 3 3 3 3 3 3 3 2 2 2 2 0 2 0 2 0 2	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 1 4 2 8 2 8 12 2 7 3 12 2 7 3 12 2 7 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 B=0までくり返す (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 B=0までくり返す (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B -1, HL←HL-1	フラグ動作 C ZPVS N H  ・ i P i 0 0  ・ i ××1×  ・ 1××1×  ・ i ××1×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 4 1 4 1 5 2 4 1 1 3 1 1	T 111122 1166 1166 111122
rr: BC, DE, IY, S =-€=ック  RLCA  RLA  RRCA  RRA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	フラグ動作 C Z P N S N H	1 1 1 2 :	M T 1 4 1 4 1 4 5 18	+d) RES b, (1Y +d) b: ビット  □ - €ニック  JP nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP NM, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e JR NZ, e JR C, e	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e	フラグ動作 C Z PWS N H	4 A 表 き 3 3 3 3 3 3 3 3 3 3 3 3 3	M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 3 10	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  条件不成立のとき上側  入出力命令  動作内容  A←(n)  r←(C), ただしフラグのみ影響を与えるコードがある(HL)←(C), B←Bー1, HL←HL−1 B=0までくり返す(HL)←(C), B←Bー1, HL←HL−1 (HL)←(C), B←Bー1, HL←HL−1 (HL)←(C), B←Bー1, HL←HL−1 (HL)←(C), B←B-1, HL←HL−1 B=0までくり返す(HL)←(C), B←B-1, HL←HL−1 B=0までくり返す(n)←A (C)←r	フラグ動作 C ZPVS N H  ・ i P i 0 0  ・ i ××1×  ・ 1××1×  ・ i ××1×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 4 1 4 1 3 1 3 1 1 3 1 1 3 1 1	T 111122 1166 1166 111122
rr: BC, DE, IY, S =ーモニック  RLCA  RLA  RRCA  RRA  RRA	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	フラグ動作 C Z P/V S N H : •••00 : •••00	1 1 1 2 2	M T 1 4 1 4 1 4 5 18 5 18	+ d) RES b, (1Y + d) b: ピット コーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1Y) JR e JR NZ, e JR NC, e	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit D←0 (IY+d)のbip (IX+d)のbip (I	フラグ動作 C Z PWS N H	4 A 3 3 3 3 3 3 3 3 3 3 2 2 2 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 2 0	6 23  MM T  3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H 、条件不成立のとき上側 入出力命令 動作内容 A←(n) r←(C), ただしフラ グのみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 B=0までくり返す (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (C)←T (C)←T (C)←T (C)←(HL), B←B ー1, HL←HL+1 (C)←(HL), B←B	フラグ助作 C Z P V S N H  ・ 1 P 1 0 0  ・ 1 × 1 ×  ・ 1 × 1 ×  ・ 1 × 1 ×  ・ 1 × 1 ×  ・ 1 × 1 ×  ・ 1 × 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 5 2 4 1 1 5 2 4 1 1 5 2 4 1 1 5 2 4 1 1 5 2 4 1 1 5 2 5 2 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6 6	T T 11 12 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1
rr: BC, DE, IY, S  =-€=ック  RLCA  RLA  RRCA  RRA  RLD  RRD	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	757 White C ZPN S N H	1 1 1 2 2 2 2 2 2 2	M T 1 4 1 4 1 4 1 4 5 18 5 18 2 8	+d) RES b, (1Y +d) b: ビット  □ - €ニック  JP nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP NM, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e JR NZ, e  JR C, e  DJNZ e	b←0 (IY+d)のbit b←0 等(0~7), r:B,0 分岐命令 動作内容 PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn C=1ならPC←nn S=0ならPC←nn S=1ならPC←nn S=1ならPC←nn PC←HL PC←IX PC←IX PC←IX PC←PC+e Z=0ならPC←PC +e C=0ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e S=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e S=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e S=1ならPC←PC +e S=1ならPC←PC +e S=1ならPC←PC +e C=1ならPC←PC +e S=1ならPC←PC +e S=1ならPC←PC +e S=1ならPC←PC +e C=1ならPC←PC +e S=1ならPC←PC +e	フラグ動作 C Z PN S N H	4 A  A  3 3 3 3 3 3 3 3 3 1 2 2 2 ① 2 ① 2 ② ② ②	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 1 3 1 3 1 4 1 1	T T 11 12 2 1 1 1 1 1 1 1 1 1 1 1 1 1 1
rr: BC, DE, IY, S =-€=ック  RLCA  RLA  RRCA  RRA  RLD  RRD  RLC r  RLC (HL)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	757 th/fr C ZP/V S N H  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0	1 1 1 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M T 1 4 1 4 1 4 1 4 5 18 5 18 5 18	+ d) RES b, (1Y + d) b: ビット3  ニーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1X) J	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn PV=1ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←IX PC←IY PC←IX PC←IY PC←PC+e Z=1ならPC←PC +e Z=1ならPC←PC +e C=1ならPC←PC +e S=C←PC+e S=C	フラグ動作 C Z PN S N H	4 A  A  3 3 3 3 3 3 3 3 3 1 2 2 2 ① 2 ① 2 ② ② ②	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  条件不成立のとき上側  入出力命令  動作内容  A←(n)  r←(C), ただしフラ  のみ影響を与えるコードがある (HL)←(C), B←B  ー1, HL←HL+1  HL)←(C), B←B  ー1, HL←HL-1  B=0までくり返す (HL)←(C), B←B  ー1, HL←HL-1  B=0までくり返す (HL)←(C), B←B  ー1, HL←HL-1  B=0までくり返す (n)←A (C)←r (C)←(HL), B←B  ー1, HL←HL+1  C○←(HL), B←B  ー1, HL←HL+1  B=0までくり返す	759 by fr C ZPVS N H  • 1 P 1 0 0  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 1 5 2 4 1 1	T 111 122 166 166 111 122 166 166 121 166 166
rr: BC, DE, IY, S =-€=ック  RLCA  RLA  RRCA  RRA  RLD  RRD  RLC r  RLC (HL)  RLC (IX+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	7 7 7 10 1	1 1 1 2 2 2 2 4	M T 1 4 1 4 1 4 1 4 5 18 5 18 2 8 4 15 6 23	+d) RES b, (1Y +d) b: ビット  □ - €ニック  JP nn JP NZ, nn JP NC, nn JP C, nn JP PC, nn JP PC, nn JP PC, nn JP PC, nn JP NM, nn JP (HL) JP (IX) JP (IX) JR e JR NZ, e JR NZ, e  JR C, e  DJNZ e	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn PV=1ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←IX PC←IY PC←IX PC←IY PC←PC+e Z=1ならPC←PC +e Z=1ならPC←PC +e C=1ならPC←PC +e S=C←PC+e S=C	フラグ動作 C Z PN S N H	4 A  A  3 3 3 3 3 3 3 3 3 1 2 2 2 ① 2 ① 2 ② ② ②	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  条件不成立のとき上側 入出力命令  動作内容 かたし piの表にある。 大に piの表にある。 かたし piの表にある。 (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (HL)←(C), B←B ー1, HL←HL-1 (C)←(HL), B←B ー1, HL←HL+1 B=0までくり返す (n)←A (C)←r (c)←(HL), B←B ー1, HL←HL+1 B=0までくり返す (n)←A (C)←r (c)←(HL), B←B ー1, HL←HL+1 B=0までくり返す (n)←A (C)←r (c)←(HL), B←B ー1, HL←HL+1 B=0までくり返す (c)←(HL), B←B	759 by fr C ZPVS N H  • 1 P 1 0 0  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×  • 1 ×× 1 ×	長さ 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 1 5 2 4 1 1	T 111 122 166 166 111 122 166 166 121 166 166
RLCA  RRCA  RLC (HL)  RLC (HL)  RLC (IY+d)  RLC (IY+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	757 th/fr C ZP/V S N H  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0  1 • • • 0 0	1 1 1 2 2 2 2 4 4 4	M T 1 4 1 4 1 4 1 4 1 4 1 4 1 4 1 5 18 5 18	+ d) RES b, (1Y + d) b: ビット3  ニーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1X) J	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (IY+d)のbit PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn PV=1ならPC←nn S=0ならPC←nn S=1ならPC←nn PC←IX PC←IY PC←IX PC←IY PC←PC+e Z=1ならPC←PC +e Z=1ならPC←PC +e C=1ならPC←PC +e S=C←PC+e S=C	フラグ動作 C Z PN S N H	4 A  A  3 3 3 3 3 3 3 3 3 1 2 2 2 ① 2 ① 2 ② ② ②	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  、条件不成立のとき上側  ・ 本件不成立のとき上側  ・ 本件では、10円のの表別書を与えるコードがある ・ はし、一(C)、8←Bー1、HL←HL+1 ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある。 ・ は、10円の表別書を与えるコードは、10円の表別書を与えるコードは、10円の表別書を与えるコードは、10円の表別書を与えるコートは、10円のの表別書を与えるコートは、10円のの表別を与えるこれは、10円の表別の表別の表別の表別を与えるコートは、10円の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の	フラグ動作 C Z P/V S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 1 5 2 4 1 1 4 1 1	T T 111 122 166 166 166 166 166 166 166 166
RLCA RRA RRCA RRCA RRCA RRCA RRCA RRCA R	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	757 Wh TE C ZPN S N H  1	1 1 1 2 2 2 4 4 4 2 3	M T 1 4 1 4 1 4 1 4 5 18 5 18 2 8 4 15 6 23	+ d) RES b, (1Y + d) b: ピット和  ニーモニック  JP nn JP NZ, nn JP NC, nn JP NC, nn JP PC, nn JP NC, e JR NZ, e	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (F)(0~7), r:B,0  分岐命令  動作内容  PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn C←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←PC+e Z=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e	フラグ動作 C Z PW S N H	4 A 3 3 3 3 3 3 3 3 3 3 2 2 2 2 0 0 2 0 1 2 0 2 0 2 0 2 0 2 0 1 2 0 1 2 0 1 2 0 1 2 0 2 0	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  、条件不成立のとき上側  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	フラグ動作 C Z P/V S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 4 1 5 2 4 1 4 1 5 2 4 1	T T 111 122 166 166 166 166 166 166 166 166
RLCA  RRCA  RRCA  RRCA  RRCA  RRCA  RRCA  RRCA  RLC r  RLC (HL)  RLC (IX+d)  RLC (IY+d)  RLC (IY+d)  RLC IX+d)  RLC r	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	757 Wh TE C ZPN S N H  1	1 1 1 2 2 2 4 4 4 2 2 2 2 1	M T 1 4 1 4 1 4 1 4 5 18 5 18 2 8 8 4 15 3 6 2 3 8 6 2 3 8	+ d) RES b, (1Y + d) b: ビット3  ニーモニック  JP nn JP NZ, nn JP NZ, nn JP NC, nn JP PC, nn JP PE, nn JP PE, nn JP PE, nn JP PE, nn JP (1X) JP (1X) JR (1X) J	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (F)(0~7), r:B,(0	フラグ動作 C Z PN S N H	4 A B き 3 3 3 3 3 3 3 3 3 3 3 3 2 2 2 2 2 2 2	6 23  M T 3 10 3 10 3 10 3 10 3 10 3 10 3 10 4 2 8 2 8 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7 3 12 2 7	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  、条件不成立のとき上側  ・ 本件不成立のとき上側  ・ 本件では、10円のの表別書を与えるコードがある ・ はし、一(C)、8←Bー1、HL←HL+1 ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある ・ は、10円の表別書を与えるコードがある。 ・ は、10円の表別書を与えるコードは、10円の表別書を与えるコードは、10円の表別書を与えるコードは、10円の表別書を与えるコートは、10円のの表別書を与えるコートは、10円のの表別を与えるこれは、10円の表別の表別の表別の表別を与えるコートは、10円の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の表別の	フラグ動作 C Z P/V S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長さ 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 1 5 2 4 1 1 4 1 1	T T 111 122 166 166 166 166 166 166 166 166
RLCA  RRA  RRCA  RRA  RRCA  RRD  RLC r  RLC (HL)  RLC (IX+d)  RLC (IY+d)  RL r  RL (HL)  RL (IX+d)  RL (IY+d)  RL (IY+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	7 7 7 10 1	1 1 1 2 2 2 4 4 4 4 4 4 4 4 4 4 4 4 4 4	M T 1 4 1 4 1 4 1 4 1 4 1 4 1 4 1 5 18 6 23 6 23 8 4 15 6 6 23 6 6 23 6 6 23 6 6 23	+ d) RES b, (1Y + d) b: ピット和  ニーモニック  JP nn JP NZ, nn JP NC, nn JP NC, nn JP PC, nn JP NC, e JR NZ, e	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (F)(0~7), r:B,0  分岐命令  動作内容  PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn C←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←PC+e Z=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e	フラグ動作 C Z PW S N H	4 A A る 3 3 3 3 3 3 3 3 3 3 3 2 2 2 2 2 0 2 0 2	M T 3 100 3	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR  OUTD  OTDR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  、条件不成立のとき上側  本任(n)  「←(C), ただしフラグのみ影響を与えるコードがある (HL)←(C), B←Bー1, HL←HL+1 B=0までくり返す (HL)←(C), B←B-1, HL←HL-1 (HL)←(C), B←B-1, HL←HL-1 B=0までくり返す (HL)←(C), B←B-1, HL←HL-1 B=0までくり返す (n)←A (C)←r (C)←(HL), B←B-1, HL←HL+1 B=0までくり返す (n)←A (C)←r (C)←(HL), B←B-1, HL←HL+1 B=0までくり返す (C)←(HL), B←B-1, HL←HL-1 (C)←(HL), B←B-1, HL←HL-1 (C)←(HL), B←B-1, HL←HL-1 (C)←(HL), B←B-1, HL←HL-1 B=0までくり返す	フラグ動作 C Z PV S N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長き 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 4 1 5 2 4 1 1 4 1 1 5 2 4 1 1	T 111 122 166 166 166 166 166 166 166 166
RLCA  RLA  RRCA  RRCA  RRCA  RRCA  RRCA  RLC (HL)  RLC (IX+d)  RLC (IY+d)  RLC (IX+d)  RL (IX+d)  RL (IX+d)	P ビット循環命 動作内容 の 7 - 0 - 0 - 7 - 0 - 0 - 7 - 0 - 0 - 0 -	7 7 7 10 1 F C Z P N S N H  : • • • 0 0  : • • • • 0 0  • • • • • • 0 0	1 1 1 2 2 2 4 4 4 4 4 4 4 4 4 4 4 4 4 4	M T 1 4 1 4 1 4 1 4 1 4 1 4 1 4 1 5 18 6 23 6 23 8 4 15 6 6 23 6 6 23 6 6 23 6 6 23	+ d) RES b, (1Y + d) b: ピット和  ニーモニック  JP nn JP NZ, nn JP NC, nn JP NC, nn JP PC, nn JP NC, e JR NZ, e	b←0 (IY+d)のbit b←0 (IY+d)のbit b←0 (F)(0~7), r:B,0  分岐命令  動作内容  PC←nn Z=0ならPC←nn Z=1ならPC←nn C=0ならPC←nn PV=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn S=0ならPC←nn C←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←IX PC←PC+e Z=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=1ならPC←PC +e C=0ならPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e C=1ならPC←PC +e C=0からPC←PC +e	フラグ動作 C Z PN S N H	4 A B き 3 3 3 3 3 3 3 3 3 3 3 2 2 2 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 2 0 0 0 0 0 2 0	M T 3 100 3	側の値になる。  ニーモニック  IN A, n IN r, (C)  INI INIR  IND INDR  OUT n, A OUT (C), r OUTI  OTIR  OUTD  OTDR	PCL←p, PCH←0 ただし pはの0H, 08H, 10H, 18H, 20H, 28H, 30H, 38H  条件不成立のとき上側  本件不成立のとき上側  下←(C), ただしフラ のみ影響を与えるコードがある (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL+1 (HL)←(C), B←B ー1, HL←HL-1 日色までくり返す (HL)←(C), B←B ー1, HL←HL-1 日色までくり返す (HL)←(C), B←B ー1, HL←HL-1 日色までくり返す (n)←A (C)←r (C)←(HL), B←B ー1, HL←HL+1 日のまでくり返す (n)←A (C)←r (C)←(HL), B←B ー1, HL←HL+1 日のまでくり返す (n)←A (C)←r (C)←(HL), B←B ー1, HL←HL+1 日のまでくり返す (C)←(HL), B←B ー1, HL←HL+1 日のまでくり返す (C)←(HL), B←B ー1, HL←HL-1	フラグ助作 C ZPVS N H  ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	長き 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2 2	M 3 1 3 1 4 1 5 2 4 1 4 1 5 2 4 1 1 4 1 1 5 2 4 1 1	T 111 122 166 166 166 166 166 166 166 166

# DD 71 d DD 72 d DD 73 d DD 74 d

8ビット移動命令 LD B. B LD B. D LD B, E 11 LD B, H 45 LD B. L 16 ID B (HI) 47 IDRA 48 ID C. B LD C. C 49 11 ID C. D LD C. E 4B LD C. H LD C, L LD C. (HL' LD C, A 50 LD D. B 51 LD D. C LD D. D 53 ID D. F. IDDH 55 ID D. I 56 LD D. (HL' 57 ID D. A LD E. B 59 LD E. C LD E. D ID F. F. LD E. H LD E. L 5E LD E, (HL) LD E. A 60 LD H. B ID H. C 62 IDHD LD H. E 63 LD H. H 64 LD H. L 65 LD H, (HL) 67 LD H, A LD L, B 69 LD L. C LD L. D LD L, E LD L, H 6D LD L, L 6F LD L. (HL 6F IDIA ID A. B 79 LD A. C ID A.D 7B LD A. E LD A, H LD A, L LD A, (HL) LD A. A LD (HL), B LD (HL), C LD (HL), D LD (HL), E 74 LD (HL), H ID (HI) I 77 LD (HL), A 06 n ID B. n. ØE n LD C. n 16 n LD D. n LD E, n 1E n LD H, n 26 n 2E n LD (HL), n LD A, n DD 46 d LD B, (IX+d) DD 4E d LD C, (IX+d) DD 56 d LD D, (IX+d)DD SF d LD E. (IX+d) DD 66 d LD H, (IX+d) LD L. (IX+d) DD 6E d LD A. (IX+d)DD 7F d FD 46 d LD B. (1Y+d) FD 4E d LD C, (1Y+d) LD D, (1Y+d) FD 56 d FD 5E d LD E, (IY+d)

LD H, (IY+d) LD L, (IY+d) 00 ID A (IY+d) 76 ID(IX+d)BF3 ID (IX+d) C FR LD(IX+d), D ED 46 LD(IX+d) F FD 56 LD (IX+d), H ED 5E LD (IX+d), L LD (IX+d), A LD(IX+d), n 80

LD (IY+d), B LD (IY+d), C LD (IY+d), D LD (1Y+d). E ID (IY+d) H LD (IY+d), L ID (IY+d). A

FD 66 d

FD 6F d

FD 7F d

DD 70 d

DD 75 d

DD 77 d

FD 70 d

FD 71 d

FD 72 d

FD 73 d

FD 74 d

FD 75 d

FD 77 d

OA

1 4

FD 36 d n

3A nn, nn<sub>R</sub>

32 пп. ппн

01 nn. nn..

11 nn. nn.,

21 nn, nn,

FD F9

C5

D5

F5

DD F5

FD E5

DD E1

FD E1

FR

08

D9

F3

27

DD E3

FD E3

Cl

E1

FD 47

ED 4F

ED 57

FD 5F

DD 36 d n

LD(IY+d), nID A. (BC) LD A, (DE) LD A, (nn) LD (BC), A ID (DF). A LD (nn), A LD L. A LD R. A

83 84 85 86 87 C6 n DD 86 d FD 86 d 89 8A 8B 8C 8D 8F

81

82

CF n

91

92

93

94

95

96

97

99

9A

9B

9D

9E

AO

A1

A2

A3

A4

A5

A7

RØ

R1

B2

R3

B4

B5

B6

B7

A8

ΔQ

AA

AB

AC.

AD

AF

AF

B8

BA

BB

BC

BD

EE n

DD AE d

FD AE d

F6 n

DD B6 d

FD B6 d

E6 n

DD A6 d

FD A6 d

DE n

DD 9E d

FD 9E d

D6 n

DD 96 d

FD 96 d

DD 8E d

FD 8F d

LD A. I ID A.R 16ビット移動命令 LD BC, nn LD DE, nn LD HL, nn

31 nn, nn, LD SP. nn DD 21 nn, nn LD IX, nn FD 21 LD IY, nr 2A nn, nnu LD HL, (nn ED 4B nn nn LD BC, (nn) ED 5B nn, nn, LD DE, (nn) ED 6B nn nn LD HL, (nn) ED 7B nn nn LD SP, (nn) DD 2A nn nn LD IX, (nn) FD 2A nn I nn LD IY, (nn) LD (nn), HL 22 nn, nn, ED 43 nn, nn, LD (nn), BC ED 53 nn, nn, LD (nn), DE ED 63 nn nn LD (nn), HL ED 73 nn, nn, LD (nn), SP DD 22 nn nn LD (nn), IX FD 22 nn<sub>L</sub> nn<sub>H</sub> LD (nn), IY LD SP. HL DD F9 LD SP. IX

> PLISH DE PUSH HI PUSH AF PUSH IX PUSH IY POP BC POP DE POP HL POP AF POP IX POP IY

LD SP. IY

PUSH BC

交換命令 FX DF HI EX AF. AF'

EXX EX (SP), HL EX (SP), IX EX (SP), IY

ブロック転送命令 LDI

ED AØ ED BØ LDIR ED A8 LDD FD B8 LDDR ED A1 CPI CPIR FD B1 CPD ED A9 CPDR FD B9

CPU制御命令

CPL ED 44 NEG SCF NOP HAI T DI IM Ø IM 1 IM 2

ADD A, D

ADD A, E

ADD A. H

ADD A I

ADD A. A

ADD A. n.

ADC A. B

ADC A. C.

ADC A, D

ADC A, E

ADC A. H

ADC A. L

ADC A A

ADC A. n

SUB B

SUB C

SUB D

SUB E

SUB H

SLIR I

SUB A

SUB n

SUB (HL)

SUB (IX+d)

SUB (IY+d)

SBC A. B

SBC A. C

SBC A, D

SBC A, E

SBC A. H

SBC A, L

SBC A, A

SBC A, n

AND B

AND C

AND D

AND E

AND H

AND I

AND A

AND n

OR B

OR C

OR D

OR F

OR H

OR L

OR A

XOR B

XOR C

XOR D

XOR E

XOR H

XOR L

XOR A

XOR n

CP B

CP C

CP D

CP E

CP H

CP L

XOR (HL)

XOR(IX+d)

XOR (IY+d)

OR n

OR (HL)

OR(IX+d)

OR(IY+d)

AND (HL)

AND (IX+d)

AND (1Y+d)

SBC A, (HL)

SBC A. (IX+d)

SBC A. (IY+d)

ADC A. (HL)

ADC A, (IX+d)

ADC A. (IY+d)

ADD A. (HI)

ADD A, (IX+d)

ADD A, (IY+d)

04 OC. 8ビット演算命令 2C ADD A, B 34 ADD A, C

BE

RF

FF n

DD RF d

FD BF d

DD 34 d FD 34 d OD 15 1D 25 2D

INC (IX+d)INC (IY+d) DEC B DEC C DEC D DEC E DEC H DEC L DEC (HL) DEC A DD 35 d DEC (IX+d) FD 35 d DEC (IY+d)

CP (HL)

CP (IX+d)

CP (IY+d)

CP A

CP n

INC B

INC C

INC D

INC E

INC H

INC A

INC (HL)

INC

16ビット演算命令

09 ADD HL. BC 19 ADD HI DE 29 ADD HL. HL ADD HL, SP ED 4A ADC HL, BC ED 5A ADC HL, DE FD 6A ADC HL, HL ED 7A ADC HL. SP ED 42 SBC HL, BC ED 52 SBC HL, DE SBC HL, HL SRC HL SP ADD IX. BC

ED 62 FD 72 DD 09 DD 19 ADD IX. DE DD 29 ADD IX IX DD 39 ADD IX SP FD 09 ADD IY, BC FD 19 ADD IY, DE FD 29 ADD IY, IY FD 39 ADD IY, SP INC BC INC DE INC HL 23 INC SP 33 INC IX

DD 23 FD 23 INC IV OR DEC BC 18 DEC DE 2B DEC HI DEC SP 3B DD 2B DEC IX FD 2B DEC IY

07

ビット循環命令 RLCA

RLA

RRCA

PRA CB 00 RLC B CB 01 RIC C CR 02 RIC D CB 03 RICE CB 04 RLC H CB 05 RLC L CB 06 RLC (HL) CB 07 RLC A DD CB d 06 RLC (IX+d) FD CB d 06 RLC (IY+d) CB 08 RRC B CB 09 RRC C CB ØA RRC D CB ØB RRC F CB ØC RRC H CB ØD RRC L CB OF RRC (HL) CB ØF RRC A DD CB d ØE RRC (IX+d)

RRC (IY+d)

RL B

RL

RL

RL

RL

RL (HL)

FD CB d ØE

CB 10

CB 11

CB 12

CB 13

CB 14

CB 15

CB 16

CB 17 DD CB d 16 RL (IX+d)FD CB d 16 RI (IY+d)CR 18 RR RR CB 19 CB 1A RR CB 1B CB 1C CB 1D CB 1E (HL) RR CR 1F DD CB d 1E (IX+d)RR (1Y+d)FD CB d 1E RR CB 20 SIAR SLA C CB 21 CB 22 SIAD CB 23 SIAF CB 24 SLA H CB 25 SLA L SLA (HL) CB 26 CB 27 SIAA DD CB d 26 SLA (IX+d) FD CB d 26 **CB** 28 SRA B CB 29 SRA C SRA D CR 24 CB 2B SRA F CR 2C SRA H CB 2D SRA L CR 2F SRA (HL) CB 2F SRA A DD CB d 2E SRA (IX+d) FD CB d 2E SRA (IY+d) SRL B CR 38 SRI C CB 3A **CB 3B** SRL E CR 3C SRL H CB 3D SRL L CB 3F SRL (HL) CD 3F SRL A SRL (IY+d) DD CB d 3E FD CB d 3E SRL (IY+d) FD 6F RID ED 67 RRD

CB 6E

CR SE

CB 70

CR 71

CR 72

**CB** 73

CB 74

**CB** 75

**CB** 76

**CB** 77

CB 78

CB 79

CB 7A

CB 7B

CB 70

CR 7D

CB 7F

CB 7F

DD CB d 46

DD CB d 4F

DD CB d 56

DD CB d 5E

DD CB d 66

DD CB d 6F

DD CB d 76

DD CB d 7F

FD CB d 46

FD CB d 4F

FD CB d 56

FD CR d 5F

FD CB d 66

FD CB d 6F

FD CB d 76

FD CB d 7E

CB CØ

CB C1

CB C3

CB C4

CB C5

CB C6

CB C7

CR C8

CR C9

CB CA

CB CB

CB CC

CB CD

CB CE

CB CF

CB DØ

CB D1

CB D2

CB D3

CB D4

CR D5

CR D6

CB D7

CB D8

CB D9

CB DA

CB DB

CB DC

CB DD

CB DE

CB DF

CB EØ

CB E1

CR F2

CR F3

CR F4

CB E5

CB E6

CB E7

CB E8

CB E9

CB EA

CB EB

CB EC

CB ED

CB EE

CR FF

CB FØ

CB F1

CB F2

CB F3

CB F4

CB F5

CB F6

CB F7

CB F8

CB F9

CB FA

CB FB

BIT 5, (HL)

BIT 2. (1Y+d)

RIT 3 (1Y+d)

BIT 4, (IY+d)

BIT 5, (IY+d)

BIT 6, (IY+d) BIT 7, (IY+d)

SET Ø. B

SET Ø. C

SET Ø. D

SET Ø, E

SET Ø. H

SET Ø, L

SET Ø. A

SET 1. B

SET 1. C

SFT 1. D

SET 1. E

SET 1. H

SET 1. L

SET 1. A

SFT 2. B

SET 2, D

SET 2. E

SET 2, H

SET 2, (HL)

SET 2, L

SFT 2 A

SET 3. B

SFT 3. C

SET 3. D

SET 3, E

SET 3, H

SET 3, L

SET 3, A

SET 4, B

SET 4, C

SET 4. D

SFT 4 F

SET 4. H

SET 4. L

SET 4. A

SET 5, B

SET 5, C

SET 5. D

SET 5. E

SET 5, H

SET 5, (HL)

SET 5. L

SET 5. A

SET 6. B

SET 6. C

SFT 6. D

SET 6. E

SET 6. H

SET 6, L

SET 6. A

SET 7, B

SET 7, C

SET 7, D

SET 7. E

SET 6, (HL)

SET 4. (HL)

SET 3. (HL)

SET 1, (HL)

SET Ø, (HL)

BIT 5, A

ビット操作命令 **CB 40** BIT Ø. B CB 41

BIT O, D **CB** 42 **CB 43** BIT O. F BIT Ø, H **CB** 44 CB 45 BIT Ø. L CR 46 BIT Ø. (HL) CB 47 BIT Ø. A CB 48 BIT 1 B CB 49 BIT 1. C CB 4A BIT 1. D BIT 1. E CB 4B CB 4C BIT 1. H BIT 1, L CB 4D CB 4E BIT 1, (HL) BIT 1, A CB 4F **CB** 50 BIT 2. B BIT 2, C CB 51 CB 52 BIT 2. D CB 53 BIT 2, E CB 54 BIT 2. H CR 55 BIT 2, L CB 56 BIT 2. (HI **CB** 57 BIT 2. A BIT 3. B **CB** 58 **CB** 59 BIT 3. C CB 5A BIT 3, D CB 5B

BIT 3, H BIT 3. L BIT 3, (HL) BIT 3, A BIT 4, B BIT 4. C BIT 4. D BIT 4 F BIT 4. H

BIT 4. L

BIT 4, A

BIT 5, B

BIT 5, C

BIT 5. D

BIT 5, E

BIT 5, H

BIT 5, L

BIT 4, (HL)

CB 5E

CR 5F

CB 60

CB 61

CB 62

CB 63

**CB** 64

**CB** 65

**CB** 66

**CB** 67

**CB** 68

CB 69

CB 6A

CB 6B

CB 6C

CB 6D

BIT 6. B CB FE SET 7, (HL) BIT 6. C CR FF SET 7. A BIT 6. D DD CB d C6 SET 0, (IX+d) BIT 6. E DD CB d CF SFT 1 (IX+d) DD CR d D6 BIT 6. H SET 2, (IX+d) BIT 6. L DD CB d DF SFT 3 (1X+d) BIT 6. (HL) DD CB d E6 SET 4. (IX+d) BIT 6. A DD CB d EE SET 5. (IX+d) BIT 7. B DD CB d F6 SET 6. (IX+d) SET 7, (IX+d) BIT 7. C DD CB d FE FD CB d C6 SET 0, (1Y+d) BIT 7, E FD CB d CF SET 1, (IY+d) FD CB d D6 RIT 7. H SET 2. (1Y+d) BIT 7, L FD CB d DE SET 3, (1Y+d) BIT 7, (HL) FD CB d F6 SET 4. (1Y+d) BIT 7. A FD CB d EE SET 5, (1Y+d) BIT 0. (IX+d) FD CB d F6 BIT 1, (IX+d) FD CB d FE BIT 2, (IX+d) CB 80 RES O. B. BIT 3, (IX+d) CB 81 RES Ø. C BIT 4, (IX+d) CB 82 RES Ø. D BIT 5, (IX+d) CB 83 RES Ø. E BIT 6, (IX+d) CB 84 RES O. H BIT 7, (IX+d) **CB 85** RES Ø. L BIT 0, (1Y+d) CB 86 BIT 1, (1Y+d)

CB 94

CB 95

CR 96

CB 97

CB 98

CB 99

CR 9A

CB 9B

CB 9C

CB 9D

CB 9F

CB 9F

CB AØ

CB A1

CB A2

CR A3

CR AA

CB A5

CB A6

CR A7

CB A8

CB A9

CB AA

CB AB

CB AC

CB AD

CB AE

CB AF

CR RO

CR R1

CB B2

CB B3

CB B4

CB B5

CB B6

CB B7

CB B8

CB B9

CB BA

CB BB

CB BC

CB BD

CB BF

CR RF

DD CB d 86

DD CB d 8E

DD CB d 96

DD CB d 9E

DD CB d A6

DD CB d AE

DD CB d B6

DD CB d BE

FD CB d 86

FD CB d 8E

CB FC

CB FD

SET 7, H

SET 7, L

SFT 6. (1Y+d) SET 7. (1Y+d)CB 87 RES Ø, A CR 88 RES 1, B CB 89 RES 1. C CR SA RES 1, D CB 8B RES 1 F CR 8C

RES Ø. (HL) RES 1. H CR 8D RES 1.1 CB 8E RES 1. (HL) CB 8F RES 1. A CB 90 RES 2, B CB 91 RES 2, C CB 92 RES 2. D CB 93

RES 2. E RES 2. H RES 2, L RES 2, (HL) RES 2. A RES 3. B RES 3. C RES 3 D RES 3. E RES 3. H RES 3. L RES 3, (HL)

RES 4. B

RES 4, C

RES 4, D

RES 4 F

RES 4, H

RES 4 1

RFS 4 A

RES 5. B

RES 5. C

RES 5. D

RES 5, E

RES 5, H

RES 5, L

RES 5. A

RES 6. B

RES 6 C

RES 6. D

RES 6. F

RES 6. H

RES 6. L

RES 6, A

RES 7, B

RES 7. C

RES 7. D

RES 7, E

RES 7, H

RES 7. L

RES 7 A

RES 7, (HL)

RES 0, (IX+d)

RES 1. (IX+d)

RES 2. (IX+d)

RES 3, (IX+d)

RES 4, (IX+d)

RES 5, (IX+d)

RES 6, (1X+d)

RES 7, (1X+d)

RES 0, (1Y+d)

RES 1, (IY+d)

RES 6. (HL)

RES 5, (HL)

RES 4. (HL)

CA nn<sub>L</sub> nn<sub>H</sub> JP Z, nn D2 nn<sub>L</sub> nn<sub>H</sub> JP NC, n DA nn<sub>L</sub> nn<sub>H</sub> JP C, nn JP PO, n E2 nn<sub>L</sub> nn<sub>H</sub> JP PE, n EA nn<sub>L</sub> nn<sub>H</sub> JP P. nn F2 nn, nn, FA nn nn JP M, nn IR e 18 e 20 0 JR NZ. e 28 A IR 7 e 30 e JR NC. e 38 e JR C. e E9 JP (HL) JP (IX) DD F9 FD E9 JP (IY) DJNZ e コール命令 CD nnL nnH CALL n

FD CB d 96

FD CB d 9E

FD CB d A6

FD CB d AE

FD CB d B6

FD CB d BE

C3 nn<sub>L</sub> nn<sub>H</sub>

C2 nn, nn

RES 2, (1Y+d)

RES 3. (1Y+d)

RES 4, (1Y+d)

RES 5, (1Y+d)

RES 6, (1Y+d)

RES 7. (1Y+d)

分岐命令

IP nn

JP NZ, n

#### C4 nn<sub>L</sub> nn<sub>H</sub> CALL NZ. nn CC nn<sub>L</sub> nn<sub>H</sub> CALL 7, nn D4 nn<sub>L</sub> nn<sub>H</sub> CALL NC nn DC nnL nnH CALL C. nn E4 nn, nn, CALL PO. nn EC nn, nn, CALL PE. nn F4 nn<sub>L</sub> nn<sub>H</sub> CALL P, nn FC nn nn CALL M, nn CØ NZ RET C8 RET DØ RET NC. D8 RET PO FO RET PE E8 RFT FO RET F8 RET ED 4D RETI ED 45 RETN RST 08H D7 RST DF 18H RST E7 RST 20H FF RST 28H F7 RST 30H FF RST 38H

### 入出力命令 DB n IN A. (n) ED 40 IN B. (C) ED 48 IN C, (C) FD 50 IN D, (C) ED 58 ED 60 IN H, (C) ED 68 IN L, (C) ED 70 [IN F, (C)] FD 78 IN A, (C) FD A2 INI FD B2 INIR ED AA IND FD BA INDR OUT (n), A D3 n ED 41 OUT (C), B ED 49 OUT (C). C ED 51 ED 59 ED 61 ED 69 OUT (C), L OUT (C), A

OUT

OTIR

OUTD

OTDR

ED 79

FD A3

ED B3

FD AB

ED BB